

Differential amplifier, comparator, and A/D converter

Patent Number: ☐ US2001007443
Publication date: 2001-07-12
Inventor(s): ONO KOICHI (JP)
Applicant(s): SONY CORP (US)
Requested Patent: ☐ JP2001189633
Application Number: US20000740793 20001221
Priority Number(s): JP19990374228 19991228
IPC Classification: H03M1/36
EC Classification: H03F3/45S3B3B1, H03F1/08B1
Equivalents: ☐ US6369743

Abstract

An OTA circuit is disposed between a differential pair composed of NMOS transistors and an NMOS follower transistor that composes an output buffer circuit. The OTA circuit generates a compensation current that is equal to a current that flows in a capacitance formed between the gate and the drain of each of the differential pair transistors and that flows in the reverse direction thereof. The compensation current cancels the current that flows in the capacitance formed between the gate and the drain of each of the differential pair transistors. Thus, a differential amplifier that has a high accuracy and, high gain, and a wide frequency band and that operates at a low power voltage can be accomplished. Using a differential amplifier having a high gain and a wide frequency band, a comparator that operates at high speed and an A/D converter using such a comparator can be accomplished

Data supplied from the esp@cenet database - 12

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189633

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

H03F 3/45
H03F 3/34
H03K 5/08
H03M 1/36

(21)Application number : 11-374228

(71)Applicant : SONY CORP

(22)Date of filing : 28.12.1999

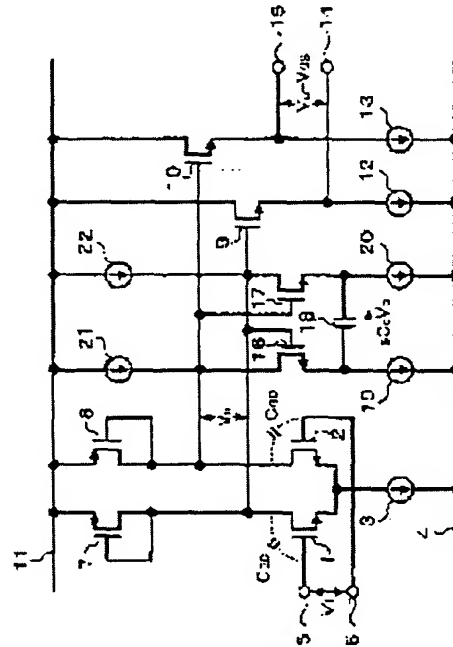
(72)Inventor : ONO KOICHI

(54) DIFFERENTIAL AMPLIFIER, COMPARATOR AND A/D CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a comparator and an A/D converter, with which high-speed operation is enabled by using a differential amplifier.

SOLUTION: An OTA circuit composed of NMOS transistors 16 and 17, a capacitor 18 and current sources 19-22 is provided between a differential couple composed of NMOS transistors 1 and 2 and NMOS follower transistors 9 and 10 comprising an output buffer circuit, a compensating current $sCcV_0$, which is equal to a current flowing to capacity CGD between the gate and drain of the transistor in the differential couple, in the opposite direction, is generated by the OTA circuit and the current to flow to capacity CGD between the gates and drains of the transistors 1 and 2 of the differential couple is canceled, so that the differential amplifier of high gain and wide band to be operated with a low power supply voltage can be provided. By using this differential amplifier, the comparator capable of high-speed operation and the A/D converter are provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japan se Publication for Unexamined Pat nt Applicati n

No. 189633/2001 (Tokukai 2001-189633)

A. Relevance of the Above-identified Document

This document has relevance to claim 1 of the present application.

[CLAIMS]

1. A differential amplifier, comprising:

a differential couple made of a first and second transistors whose respective sources or emitters are mutually connected to each other;

buffering means for taking out an output of the differential couple made of the first and second transistors; and

compensating current forming means for forming compensating currents corresponding to currents flowing in parasitic capacitors of the first and second transistors, the compensating currents flowing to an opposite direction with respect to the current flowing in the parasitic capacitors of the first and second transistors,

the compensating current forming means is constituted of voltage input-current output means which comprises:

third and fourth transistors whose respective

sources or emitters are mutually connected to each other through a capacitor corresponding to the parasitic capacitors of the first and second transistors;

first and second current sources connected to the sources or emitters of the third and fourth transistors, respectively; and

third and fourth current sources connected to drains or collectors of the third and fourth transistors, respectively,

wherein:

the first and second transistors output voltages which are supplied to gates or bases of the third and fourth transistors, respectively, and the third and fourth transistors output currents as compensating currents from the drains or collectors, which are supplied to drains or collectors of the first and second transistors, respectively.

3. A comparator, comprising:

an amplifier;

means for setting an auto-zero mode for canceling offset of the amplifier and setting an amp-mode for amplifying and outputting an input signal;

means for supplying an input voltage upon the auto-zero mode, and accumulating the input voltage in a

capacitor which is connected to an input stage of the amplifier; and

means for inputting a reference voltage upon the amp-mode, and obtaining voltage difference between the input voltage accumulated in the capacitor connected to an input stage of the amplifier and the reference voltage, and outputting the voltage difference,

the amplifier comprises:

a differential couple made of a first and second transistors whose respective sources or emitters are mutually connected to each other;

buffering means for taking out an output of the differential couple made of the first and second transistors; and

compensating current forming means for forming compensating currents corresponding to currents flowing in parasitic capacitors of the first and second transistors, the compensating currents flowing to an opposite direction with respect to the current flowing in the parasitic capacitors of the first and second transistors,

the compensating current forming means is constituted of voltage input-current output means which comprises:

third and fourth transistors whose respective sources or emitters are mutually connected to each other

through a capacitor corresponding to the parasitic capacitors of the first and second transistors;

first and second current sources connected to the sources or emitters of the third and fourth transistors, respectively; and

third and fourth current sources connected to drains or collectors of the third and fourth transistors, respectively,

wherein:

the first and second transistors output voltages which are supplied to gates or bases of the third and fourth transistors, respectively, and the third and fourth transistors output currents as compensating currents from the drains or collectors, which are supplied to drains or collectors of the first and second transistors, respectively.

[EMBODIMENTS]

[0041]

Figure 1 shows an example of a differential amplifier according to the present invention. In Figure 1, a differential couple is constituted of a NMOS transistor 1 and a NMOS transistor 2. The respective source of the NOMS transistors 1 and 2 are connected to each other, and the junction between the respective sources is

connected to a ground line 4 via a current source 3. The respective gates of the first and second NMOS transistors 1 and 2 are connected to input terminals 5 and 6, respectively.

[0042]

PMOS transistors 7 and 8 constitute a load circuit relative to the differential couple constituted of the NMOS transistors 1 and 2. The gate and drain of the PMOS transistor 7 are connected to each other, and the junction between the gate and the drain is connected to the drain of the NMOS transistor 1, and also connected to the gate of the NMOS transistor 9. The gate and drain of the PMOS transistor 8 are connected to each other, and the junction between the gate and the drain is connected to the drain of the NMOS transistor 2, and also connected to the gate of the NMOS transistor 10. The respective source of the PMOS transistors 7 and 8 are connected to a power source line 11.

[0043]

The NMOS transistors 9 and 10 are source follower transistors which operate as buffers for taking out an output of the differential couple constituted of the NMOS transistors 1 and 2. The source of the NMOS transistor 9 is connected to the ground line 4 via a current source 12, and also connected to an output terminal 14. The source

of the NMOS transistor 10 is connected to the ground line 4 via a current source 13, and also connected to an output terminal 15. The respective drains of the NMOS transistors 9 and 10 are connected to the power source line 11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189633

(P2001-189633A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 F	3/45	H 0 3 F 3/45	Z 5 J 0 2 2
	3/34		B 5 J 0 3 9
H 0 3 K	5/08	H 0 3 K 5/08	T 5 J 0 6 6
H 0 3 M	1/36	H 0 3 M 1/36	5 J 0 9 1

審査請求 未請求 請求項の数16 O L (全 16 頁)

(21) 出願番号 特願平11-374228

(22) 出願日 平成11年12月28日 (1999. 12. 28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 尾野 孝一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

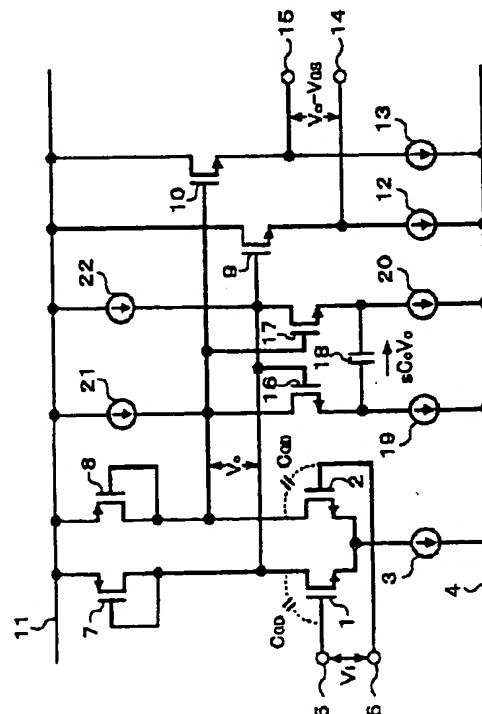
最終頁に続く

(54) 【発明の名称】 差動増幅器、コンパレータ、及びA/Dコンバータ

(57) 【要約】 (修正有)

【課題】 差動増幅器を用いて、高速動作が可能なコンパレータ、及びA/Dコンバータを提供する。

【解決手段】 NMOSトランジスタ1、2からなる差動対と、出力バッファ回路を構成するNMOSフォロワトランジスタ9、10との間に、NMOSトランジスタ16、17、コンデンサ18、電流源19～22からなるOTA回路を設け、このOTA回路により、差動対のトランジスタのゲート・ドレイン間の容量 C_{GD} に流れる電流に等しく、その方向が反対となる補償電流 $s C_G V_o$ を生成し、差動対のトランジスタ1、2のゲート・ドレイン間の容量 C_{GD} に流れる電流をキャンセルさせることで、低電源電圧で動作する、高利得、広帯域の差動増幅器を実現する。この差動増幅器を用いて、高速動作が可能なコンパレータ、及びA/Dコンバータを実現する。



(2)

【特許請求の範囲】

【請求項1】 互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、
上記第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、
上記第1及び第2のトランジスタの寄生容量に流れる電流に対応し、上記第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、

上記補償電流形成手段は、

互いのソース又はエミッタ間に上記第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、

上記第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、

上記第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力ー電流出力手段で構成されており、

上記第3及び第4のトランジスタのゲート又はベースに上記第1及び第2のトランジスタの出力電圧を夫々供給し、上記第4及び上記第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として上記第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにした差動増幅器。

【請求項2】 上記第1及び第2のトランジスタの寄生容量に相当するキャパシタは、上記第1及び第2のトランジスタと同様のトランジスタから構成するようにした請求項1に記載の差動増幅器。

【請求項3】 増幅器と、

上記増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、

上記オートゼロモードのときに入力電圧を入力し、上記入力電圧を上記増幅器の入力段に接続されたキャパシタに蓄積する手段と、

上記アンプモードのときに、リファレンス電圧を入力し、上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記入力電圧と、上記リファレンス電圧との差電圧を得て、上記増幅器から出力させる手段とからなり、

上記増幅器は、

互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、

上記第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、

上記第1及び第2のトランジスタの寄生容量に流れる電流に対応し、上記第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、

上記補償電流形成手段は、

2

互いのソース又はエミッタ間に上記第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、

上記第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、

上記第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力ー電流出力手段で構成されており、

上記第3及び第4のトランジスタのゲート又はベースに

10 上記第1及び第2のトランジスタの出力電圧を夫々供給し、上記第4及び上記第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として上記第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたコンパレータ。

【請求項4】 上記第1及び第2のトランジスタの寄生容量に相当するキャパシタは、上記第1及び第2のトランジスタと同様のトランジスタから構成するようにした請求項3に記載のコンパレータ。

【請求項5】 増幅器と、

20 上記増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、

上記オートゼロモードのときにリファレンス電圧を入力し、上記リファレンス電圧を上記増幅器の入力段に接続されたキャパシタに蓄積する手段と、

上記アンプモードのときに、入力電圧を入力し、上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記リファレンス電圧と、上記入力電圧との差電圧を得て、上記増幅器から出力させる手段とからなり、

30 上記増幅器は、

互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、

上記第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、

上記第1及び第2のトランジスタの寄生容量に流れる電流に対応し、上記第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、

上記補償電流形成手段は、

40 互いのソース又はエミッタ間に上記第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、

上記第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、

上記第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力ー電流出力手段で構成されており、

上記第3及び第4のトランジスタのゲート又はベースに
50 上記第1及び第2のトランジスタの出力電圧を夫々供給し、上記第4及び上記第3のトランジスタのドレイン又

(3)

3

はコレクタからの出力電流を補償電流として上記第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたコンパレータ。

【請求項6】 上記第1及び第2のトランジスタの寄生容量に相当するキャパシタは、上記第1及び第2のトランジスタと同様のトランジスタから構成するようにした請求項5に記載のコンパレータ。

【請求項7】 上記オートゼロモードに設定してから数クロックの間アンプモードに設定し、上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記リファレンス電圧と上記入力電圧との差電圧を、上記増幅器から連続して出力させるようにした請求項5に記載のコンパレータ。

【請求項8】 更に、上記増幅器の出力をホールドするホールド手段を設け、

上記増幅器から連続して出力される上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記リファレンス電圧と上記入力電圧との差電圧を、上記ホールド手段にホールドするようにした請求項7に記載のコンパレータ。

【請求項9】 上記ホールド手段を複数設け、上記複数のホールド手段により上記差動増幅器の出力を上記各ホールド手段に与えられるクロック毎にホールドするようにした請求項8に記載のコンパレータ。

【請求項10】 量子化レベルを決める複数のリファレンス電圧を形成するリファレンス電圧の形成手段と、上記各リファレンス電圧と入力電圧とを比較する複数のコンパレータと、

上記各コンパレータの出力をラッチする複数のラッチと、

上記複数のラッチの出力から上記入力電圧に対応するデジタル値を生成するデコーダとからなり、

上記コンパレータは、

増幅器と、

上記増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、

上記オートゼロモードのときに入力電圧を入力し、上記入力電圧を上記増幅器の入力段に接続されたキャパシタに蓄積する手段と、

上記アンプモードのときに、リファレンス電圧を入力し、上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記入力電圧と、上記リファレンス電圧との差電圧を得て、上記増幅器から出力させる手段とからなり、

上記増幅器は、

互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、

上記第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、

4

上記第1及び第2のトランジスタの寄生容量に流れる電流に対応し、上記第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、

上記補償電流形成手段は、

互いのソース又はエミッタ間に上記第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、

上記第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、

上記第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力-電流出力手段で構成されており、

上記第3及び第4のトランジスタのゲート又はベースに上記第1及び第2のトランジスタの出力電圧を夫々供給し、上記第4及び上記第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として上記第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたA/Dコンバータ。

20 【請求項11】 上記第1及び第2のトランジスタの寄生容量に相当するキャパシタは、上記第1及び第2のトランジスタと同様のトランジスタから構成するようにした請求項10に記載のA/Dコンバータ。

【請求項12】 量子化レベルを決める複数のリファレンス電圧を形成するリファレンス電圧の形成手段と、上記各リファレンス電圧と入力電圧とを比較する複数のコンパレータと、

上記各コンパレータの出力をラッチする複数のラッチと、

30 上記複数のラッチの出力から上記入力電圧に対応するデジタル値を生成するデコーダとからなり、

上記コンパレータは、

増幅器と、

上記増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、

上記オートゼロモードのときにリファレンス電圧を入力し、上記リファレンス電圧を上記増幅器の入力段に接続されたキャパシタに蓄積する手段と、

40 上記アンプモードのときに、入力電圧を入力し、上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記リファレンス電圧と、上記入力電圧との差電圧を得て、上記増幅器から出力させる手段とからなり、

上記増幅器は、

互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、

上記第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、

50 上記第1及び第2のトランジスタの寄生容量に流れる電流に対応し、上記第1及び第2のトランジスタの寄生容

(4)

5

量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、

上記補償電流形成手段は、

互いのソース又はエミッタ間に上記第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、

上記第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、

上記第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力-電流出力手段で構成されており、

上記第3及び第4のトランジスタのゲート又はベースに上記第1及び第2のトランジスタの出力電圧を夫々供給し、上記第4及び上記第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として上記第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたA/Dコンバータ。

【請求項13】 上記第1及び第2のトランジスタの寄生容量に相当するキャパシタは、上記第1及び第2のトランジスタと同様のトランジスタから構成するようにした請求項12に記載のA/Dコンバータ。

【請求項14】 上記オートゼロモードに設定してから数クロックの間アンプモードに設定し、上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記リファレンス電圧と上記入力電圧との差電圧を、上記増幅器から連続して出力させるようにした請求項12に記載のA/Dコンバータ。

【請求項15】 更に、上記増幅器の出力をホールドするホールド手段を設け、

上記増幅器から連続して出力される上記増幅器の入力段に接続されたキャパシタに蓄積されていた上記リファレンス電圧と上記入力電圧との差電圧を、上記ホールド手段にホールドするようにした請求項14に記載のA/Dコンバータ。

【請求項16】 上記ホールド手段を複数設け、上記複数のホールド手段により上記差動増幅器の出力を上記各ホールド手段に与えられるクロック毎にホールドするようにした請求項15に記載のA/Dコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、特に、ハードディスクドライブの再生信号をデジタル化して処理する場合のように、高速処理が要求されるA/Dコンバータ、及び、このようなA/Dコンバータを実現するためのコンパレータ、このようなコンパレータを実現するための差動増幅器に関する。

【0002】

【従来の技術】 近年、信号処理の高速化に伴い、高速のA/Dコンバータが要望されている。例えば、ハードディスクドライブでは、イコライズ処理やビタビ復号処理

6

を行うために、ヘッドからの再生信号をデジタル化するためのA/Dコンバータが設けられている。ハードディスクドライブの高速化に伴い、このようなハードディスクドライブのA/Dコンバータとしては、量子化ビット数が6～8ビットで、サンプリングクロックが数100MHz（例えば400MHz）のものが要望されている。

【0003】 A/Dコンバータは、入力電圧とリファレンス電圧とを比較し、この比較出力をエンコードすることにより、アナログ信号をデジタル信号に変換する構成とされている。上述のように高速処理のA/Dコンバータを実現させるためには、コンパレータを高利得、広帯域の差動増幅器で構成することが不可避である。

【0004】 従来、高速処理が要望されるアナログ回路は、バイポーラトランジスタで構成されている。そこで、高利得、広帯域の差動増幅器をバイポーラトランジスタで構成することが考えられる。

【0005】 ところが、バイポーラトランジスタは、消費電力が大きく、また、他の信号処理回路と共に集積回路化して、小型、軽量化を図ることが困難である。このため、CMOS構成で、高利得、広帯域の差動増幅器を実現することが強く要望されている。

【0006】 CMOSトランジスタの構成の差動増幅器で高利得、広帯域化を図るためのパラメータは、MOSトランジスタの g_m （相互コンダクタンス）は電流とサイズで決まるので、電流とサイズということになる。したがって、高利得の差動増幅器を実現するためには、電流設定値を大きくするか、MOSトランジスタのサイズを大きくすれば良いことになる。

【0007】 ところが、MOSトランジスタに流れる電流を増加すると、消費電力が増大するという問題が生じる。また、MOSトランジスタのサイズを大きくすると、寄生容量が増加し、広帯域化が図れなくなるという問題が生じる。

【0008】 ところで、バイポーラトランジスタの構成の差動回路においては、ベース・コレクタ間の容量 C_{BC} に流れる電流と逆向きに補償電流を生成する補償回路を設け、この補償電流によりベース・コレクタ間の容量 C_{BC} に流れる電流をキャンセルして、寄生容量による帯域制限を無くして広帯域化を図るようにしたものが提案されている（「A Low-Power Wide-Band Amplifier Using a New Parasitic Capacitance Compensation Technique」IEEE Journal of Solid-State Circuit, Vol.125, No.1, February 1990）。

【0009】 高利得、広帯域の差動増幅器をCMOSで実現する場合に、このような技術を利用することが考えられる。上述のように、MOSトランジスタのサイズを大きくすれば、高利得化が図れるが、寄生容量が増加してしまうことになる。このような補償電流を形成して寄生容量に流れる電流をキャンセルする技術がCMOS構成

(5)

の場合にも利用できれば、高利得、広帯域のCMOS構成の差動増幅器が実現でき、これを用いて、高速のA/Dコンバータを実現できることになる。

【0010】つまり、図12に示すように、増幅器を、信号源抵抗 R_s を有する信号源 V_i で、抵抗 R 、容量 C の直列接続されたネットワークをドライブするモデルとして考えると、以下の式が導かれる。

【0011】

【数1】

$$G_0 = \frac{R_s // R}{R_s} \quad \dots(1)$$

$$f_{3dB} = \frac{1}{2\pi C(R // R_s)} \quad \dots(2)$$

$$G_{dB} = G_0 f_{3dB} = \frac{1}{2\pi C R_s} \quad \dots(3)$$

【0012】ここで、 G_0 は直流利得、 f_{3dB} は3dB低下の帯域、 π は円周率、 G_{dB} はゲインバンド幅である。

【0013】(3)式にあるように、容量 C と信号源抵抗 R_s とにより帯域が決定される。バイポーラトランジスタの場合、帯域制限をもたらす容量 C は、ベース・コレクタ間容量 C_{BC} に相当する。このベース・コレクタ間容量 C_{BC} は、ミラー効果により増幅されるため、帯域低下への寄与も大きい。

【0014】そこで、図13に示すように、出力電圧 V_o により変化する電流源 $s C_c V_o$ (s はラプラス演算子)を出力側に設ける。そして、この電流 $s C_c V_o$ により、容量 C に流れる電流をキャンセルさせるようにする。この場合、以下の式が導かれる。

【0015】

【数2】

$$G_0 = \frac{R_s // R}{R_s} \quad \dots(4)$$

$$f_{3dB} = \frac{1}{2\pi(C - C_c)(R // R_s)} \quad \dots(5)$$

$$G_{dB} = G_0 f_{3dB} = \frac{1}{2\pi(C - C_c)R_s} \quad \dots(6)$$

【0016】ここで、 $C = C_c$ とすると、分母がゼロとなり帯域制限が生じないことが理解できる。

【0017】図14は、上述のように、ベース・コレクタ間の容量に流れる電流を、出力電圧に基づいて形成した補償電流によりキャンセルして、広帯域化を図ったバイポーラトランジスタの構成の差動増幅器の一例である。

【0018】図14において、NPN形トランジスタ201及び202のエミッタが接続され、このトランジスタ201及び202のエミッタが電流源203を介して接地ライン204に接続される。トランジスタ201及

8

び202のベースに、入力端子221及び222が接続される。

【0019】トランジスタ201及び202のコレクタが抵抗205及び206を介して電源ライン207に接続されると共に、トランジスタ208及び209のベースに接続される。トランジスタ208及び209のコレクタが電源ライン207に接続される。トランジスタ208及び209のエミッタが電流源210及び211を介して接地ライン204に接続されると共に、出力端子223及び224に接続される。

【0020】これと共に、トランジスタ208及び209のエミッタがトランジスタ212及び213のベースに接続される。トランジスタ212及び213のコレクタがトランジスタ202及び201のコレクタに接続される。トランジスタ212及び213のエミッタが電流源214及び215を介して接地ライン204に接続されると共に、トランジスタ212のエミッタとトランジスタ213のエミッタとの間に、コンデンサ216が接続される。

【0021】図14において、入力端子221及び222からの差動入力、トランジスタ201及び202で増幅される。この出力は、エミッタフォロワトランジスタ208及び209を介して、出力端子223及び224から出力される。

【0022】これと共に、この出力電圧は、トランジスタ212及び213からなるエミッタフォロワ回路を介して、トランジスタ212及び213のエミッタ間に現れる。そして、トランジスタ212及び213のエミッタ間に接続されたコンデンサ216に、出力電圧に応じた電流が流される。

【0023】ここで、図15に示すように、コンデンサ216として、差動対を構成するトランジスタ201及び202と同様のトランジスタ231及び232とを接続したものを用いるとすると、コンデンサ216の容量 C_c は、トランジスタ201及び202のベース・コレクタ間容量 C_{CB} と略等しくすることができる。

【0024】このため、コンデンサ216では、トランジスタ201及び202に流れる電流に等しい補償電流が形成される。トランジスタ212及び213のコレクタをトランジスタ202及び201のコレクタに接続することにより、トランジスタ201及び202のベース・コレクタ間の容量 C_{CB} に流れる電流は、コンデンサ216に流れる補償電流によりキャンセルされる。これにより、帯域制限がなくなり、高利得、広帯域の差動増幅器が実現できる。

【0025】

【発明が解決しようとする課題】図14に示したように、差動対となるトランジスタ201及び202の出力電圧をエミッタフォロワトランジスタ208及び209と、212及び213とを介して、コンデンサ216に

9

与え、トランジスタ212及び213のエミッタ間のコンデンサ216により、差動対のトランジスタ201及び202のベース・コレクタ間容量 C_{BC} に流れる電流に等しい補償電流を生成し、この補償電流で差動対のトランジスタ201及び202のベース・コレクタ間容量 C_{BC} に流れる電流をキャンセルさせることで、差動回路の帯域制限を無くすることができる。

【0026】ところが、この構成では、エミッタフォロワトランジスタ208及び209と、エミッタフォロワトランジスタ212及び213を介して出力信号電圧を検出して補償電流を生成している。このため、上述の回路をCMOSで構成したとすると、補償電流を形成するために、 $2V_{GS}$ (V_{GS} はゲート・ソース間電圧) 分だけレベルシフトが生じる。MOSトランジスタでは、ゲート・ソース間電圧 V_{GS} が1V程度あり、補償電流を形成するための部分だけで、約2Vのレベルシフトが生じることになる。

【0027】これに対して、現在、電源電圧の低電圧化が図られており、低電圧構成の回路では、例えば3.3Vの電源が使われている。このような低電圧構成の回路で、レベルシフトに2Vが使われてしまうと、信号の振幅を十分に確保できなくなってしまう。

【0028】また、CMOSで実現する場合、MOSトランジスタのソースフォロワは基板効果の影響により利得が1倍にはならない。このため、上述のように、2段のフォロワトランジスタ208及び209と、212及び213を介して出力信号電圧を検出すると、検出する出力電圧の振幅が低下してしまい、出力電圧を検出して補償電流を形成し、寄生容量をキャンセルさせる効果が低減するという問題が生じてくる。

【0029】したがって、この発明の目的は、高利得、広帯域であると共に、低い電源電圧でも動作が可能な差動増幅器を提供することにある。

【0030】この発明の他の目的は、高速動作が可能なコンパレータを提供することにある。

【0031】この発明の更に他の目的は、高速動作が可能なA/Dコンバータを提供することにある。

【0032】

【課題を解決するための手段】この発明は、互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、第1及び第2のトランジスタの寄生容量に流れる電流に対応し、第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、補償電流形成手段は、互いのソース又はエミッタ間に第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源

(6)

10

と、第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力ー電流出力手段で構成されており、第3及び第4のトランジスタのゲート又はベースに第1及び第2のトランジスタの出力電圧を夫々供給し、第4及び第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにした差動増幅器である。

【0033】この発明は、増幅器と、増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、オートゼロモードのときに入力電圧を入力し、入力電圧を増幅器の入力段に接続されたキャパシタに蓄積する手段と、アンプモードのときに、リファレンス電圧を入力し、増幅器の入力段に接続されたキャパシタに蓄積されていた入力電圧と、リファレンス電圧との差電圧を得て、増幅器から出力させる手段とからなり、増幅器は、互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、第1及び第2のトランジスタの寄生容量に流れる電流に対応し、第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、補償電流形成手段は、互いのソース又はエミッタ間に第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力ー電流出力手段で構成されており、第3及び第4のトランジスタのゲート又はベースに第1及び第2のトランジスタの出力電圧を夫々供給し、第4及び第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたコンパレータである。

【0034】この発明は、増幅器と、増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、オートゼロモードのときにリファレンス電圧を入力し、リファレンス電圧を増幅器の入力段に接続されたキャパシタに蓄積する手段と、アンプモードのときに、入力電圧を入力し、増幅器の入力段に接続されたキャパシタに蓄積されていたリファレンス電圧と、入力電圧との差電圧を得て、増幅器から出力させる手段とからなり、増幅器は、互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、第1及び第2のトランジスタからなる差動対の出力を取り

(7)

11

出すためのバッファ手段と、第1及び第2のトランジスタの寄生容量に流れる電流に対応し、第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、補償電流形成手段は、互いのソース又はエミッタ間に第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力-電流出力手段で構成されており、第3及び第4のトランジスタのゲート又はベースに第1及び第2のトランジスタの出力電圧を夫々供給し、第4及び第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたコンパレータである。

【0035】この発明は、量子化レベルを決める複数のリファレンス電圧を形成するリファレンス電圧の形成手段と、各リファレンス電圧と入力電圧とを比較する複数のコンパレータと、各コンパレータの出力をラッチする複数のラッチと、複数のラッチの出力から入力電圧に対応するデジタル値を生成するデコーダとからなり、コンパレータは、増幅器と、増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、オートゼロモードのときに入力電圧を入力し、入力電圧を増幅器の入力段に接続されたキャパシタに蓄積する手段と、アンプモードのときに、リファレンス電圧を入力し、増幅器の入力段に接続されたキャパシタに蓄積されていた入力電圧と、リファレンス電圧との差電圧を得て、増幅器から出力させる手段とからなり、増幅器は、互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、第1及び第2のトランジスタの寄生容量に流れる電流に対応し、第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、補償電流形成手段は、互いのソース又はエミッタ間に第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力-電流出力手段で構成されており、第3及び第4のトランジスタのゲート又はベースに第1及び第2のトランジスタの出力電圧を夫々供給し、第4及び第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたA/Dコンバータである。

12

レイン又はコレクタ電流に与えるようにしたA/Dコンバータである。

【0036】この発明は、量子化レベルを決める複数のリファレンス電圧を形成するリファレンス電圧の形成手段と、各リファレンス電圧と入力電圧とを比較する複数のコンパレータと、各コンパレータの出力をラッチする複数のラッチと、複数のラッチの出力から入力電圧に対応するデジタル値を生成するデコーダとからなり、コンパレータは、増幅器と、増幅器のオフセットをキャンセルさせるオートゼロモードと、入力信号を増幅して出力させるアンプモードとに設定するための手段と、オートゼロモードのときにリファレンス電圧を入力し、リファレンス電圧を増幅器の入力段に接続されたキャパシタに蓄積する手段と、アンプモードのときに、入力電圧を入力し、増幅器の入力段に接続されたキャパシタに蓄積されていたリファレンス電圧と、入力電圧との差電圧を得て、増幅器から出力させる手段とからなり、増幅器は、互いのソース又はエミッタが共通接続された第1及び第2のトランジスタからなる差動対と、第1及び第2のトランジスタからなる差動対の出力を取り出すためのバッファ手段と、第1及び第2のトランジスタの寄生容量に流れる電流に対応し、第1及び第2のトランジスタの寄生容量に流れる電流と反対方向の補償電流を形成する補償電流形成手段とからなり、補償電流形成手段は、互いのソース又はエミッタ間に第1及び第2のトランジスタの寄生容量に相当するキャパシタが接続された第3及び第4のトランジスタと、第3及び第4のトランジスタの夫々のソース又はエミッタに接続された第1及び第2の電流源と、第3及び第4のトランジスタの夫々のドレイン又はコレクタに接続された第3及び第4の電流源とからなる電圧入力-電流出力手段で構成されており、第3及び第4のトランジスタのゲート又はベースに第1及び第2のトランジスタの出力電圧を夫々供給し、第4及び第3のトランジスタのドレイン又はコレクタからの出力電流を補償電流として第2及び第1のトランジスタのドレイン又はコレクタ電流に与えるようにしたA/Dコンバータである。

【0037】この発明によれば、NMOSトランジスタからなる差動対と、出力バッファ回路を構成するNMO Sフォロワトランジスタとの間にOTA回路を設け、このOTA回路により、差動対のトランジスタのゲート・ドレイン間の容量に流れる電流に等しく、その方向が反対となる補償電流を生成し、この補償電流により差動対のトランジスタのゲート・ドレイン間の容量に流れる電流がキャンセルさせることで、低電源電圧で動作する、高利得、広帯域の差動増幅器を実現することができる。

【0038】また、この発明によれば、このような高利得、広帯域の差動増幅器を用いて、高速動作が可能なコンパレータ、及びこのコンパレータを使ったA/Dコンバータを実現することができる。

(8)

13

【0039】

【発明の実施の形態】この発明の実施の形態について、以下の順序で図面を参照して説明する。

【0040】1. 差動増幅器

2. A/Dコンバータ

3. コンパレータの一例

4. コンパレータの他の例

5. 応用例。

【0041】1. 差動増幅器

図1は、この発明が適用された差動増幅器の一例を示すものである。図1において、NMOSトランジスタ1及び2により、差動対が構成される。NMOSトランジスタ1及びトランジスタ2の互いのソースが接続され、この接続点が電流源3を介して接地ライン4に接続される。NMOSトランジスタ1及び2のゲートが入力端子5及び6に夫々接続される。

【0042】PMOSトランジスタ7及び8は、NMOSトランジスタ1及び2からなる差動対に対する負荷回路を構成している。PMOSトランジスタ7のゲート及びドレインが接続され、この接続点がNMOSトランジスタ1のドレインに接続されると共に、NMOSトランジスタ9のゲートに接続される。PMOSトランジスタ8のゲート及びドレインが接続され、この接続点がNMOSトランジスタ2のドレインに接続されると共に、NMOSトランジスタ10のゲートに接続される。PMOSトランジスタ7及び8のソースは、電源ライン11に接続される。

【0043】NMOSトランジスタ9及び10は、NMOSトランジスタ1及び2からなる差動対の出力を取り出すためのバッファとなるソースフォロワトランジスタである。NMOSトランジスタ9のソースが電流源12を介して接地ライン4に接続されると共に、出力端子14に接続される。NMOSトランジスタ10のソースが電流源13を介して接地ライン4に接続されると共に、出力端子15に接続される。NMOSトランジスタ9及び10のドレインが電源ライン11に接続される。

【0044】NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22は、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流と同じ電流値の補償電流を形成するものである。

【0045】NMOSトランジスタ16のソース及び17のソースは、電流源19及び20を夫々介して接地ライン4に接続されると共に、NMOSトランジスタ16のソースとNMOSトランジスタ17のソースとの間に、コンデンサ18が接続される。NMOSトランジスタ16及び17のゲートがNMOSトランジスタ1及び2のドレインに接続される。NMOSトランジスタ16及び17のドレインが電流源21及び22を夫々介して電源ライン11に接続されると共に、トランジスタ2及び1のドレインに接続される。

14

【0046】図1に示す差動回路において、入力端子5及び6に差動入力電圧 V_i が供給される。この差動入力電圧 V_i は、NMOSトランジスタ1及び2からなる差動対により増幅される。NMOSトランジスタ1及び2からなる差動対の出力 V_o は、ソースフォロワトランジスタ9及び10を介して、差動出力端子14及び15から出力される。

【0047】また、NMOSトランジスタ1及び2からなる差動対の出力 V_o は、NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなる回路に送られ、NMOSトランジスタ1及び2からなる差動対の出力電圧 V_o に応じた補償電流が形成される。

【0048】つまり、図2に示すように、NMOSトランジスタ16のソースとNMOSトランジスタ17のソースとの間には、コンデンサ18が接続されている。このコンデンサ18の容量を C_c とすると、NMOSトランジスタ16及び17のゲートから導出された電圧入力端子31及び32に電圧 v_{c1} 及び v_{c2} が供給されると、NMOSトランジスタ16及び17のソース電圧は、夫々、 $(v_{c1}-V_{GS})$ 及び $(v_{c2}-V_{GS})$ となり、コンデンサ18には、電圧入力端子31及び32に与えられた電圧 v_{c1} 及び v_{c2} の差電圧に応じた電流 i_a が流れる。この電流 i_a は、コンデンサ18の容量を C_c とすると、

$$i_a = s C_c \cdot (v_{c1} - v_{c2})$$

(s はラプラス演算子)なる。

【0049】NMOSトランジスタ16及び17のソースに接続されている電流源19及び20、NMOSトランジスタ16及び17のドレインに接続されている電流源21及び22は定電流 I_1 なので、NMOSトランジスタ16及び17のソースの間のコンデンサ18に流れる電流 i_a は、NMOSトランジスタ16及び17のドレインの電流出力端子33及び34から差電流として入出力される。

【0050】このように、NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなる回路は、入力端子31及び32に与えられる電圧の差電圧に応じた電流を出力する回路となっている。なお、このような構成は、OTA (Operational Transconductance Amplifier) と呼ばれている。

【0051】図1に示したように、トランジスタ16及び17のゲートは、トランジスタ1及び2のドレインに接続されている。また、NMOSトランジスタ16及び17のドレインは、NMOSトランジスタ2及び1のドレインに接続されている。したがって、NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなる回路の入力として、NMOSトランジスタ1及び2からなる差動対の出力の差動電圧 V_o が与えられる。そして、NMOSトランジスタ16及

(9)

15

び17、コンデンサ18、電流源19、20、21、22からなる回路により、電流 $s C_c V_0$ が形成され、この電流 $s C_c V_0$ がNMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなる回路の電流出力となる。この電流 $s C_c V_0$ がNMOSトランジスタ1及び2に流れる電流に加えられる。

【0052】ここで、図3に示すように、コンデンサ18をNMOSトランジスタ1及び2の同様なトランジスタ25及び26で構成すると、コンデンサ18の容量 C_c と、NMOSトランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} とを略等しくすることができる。

【0053】これにより、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流に等しい補償電流 $s C_c V_0$ が生成される。このような補償電流により、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流がキャンセルされる。これにより、

(6)式で説明したように、帯域制限が無くなり、広帯域化が図れる。

【0054】このように、この例では、NMOSトランジスタ1及び2からなる差動対と、出力バッファ回路を構成するNMOSフォロワトランジスタ9及び10との間に、NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなるOTA回路を設け、このOTA回路により、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流に等しい補償電流 $s C_c V_0$ が生成され、これにより、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流がキャンセルされて、広帯域化が図られている。この場合、差動対を構成するNMOSトランジスタ1及び2から出力される差動電圧を、ソースフォロワのバッファ回路を用いずに検出しているので、レベルシフトが生じることがなく、電源電圧を低くすることが可能となる。レベルシフトは、ソースフォロワのトランジスタ9及び10の1段の V_{GS} 分だけになる。また、基板効果による利得低下に伴う誤差も、トランジスタ9及び10の1段の V_{GS} 分だけになるので、精度が高くなる。

【0055】2. A/Dコンバータ

以上のように、NMOSトランジスタ1及び2からなる差動対と、出力バッファ回路を構成するNMOSフォロワトランジスタ9及び10との間に、NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなるOTA回路を設け、このOTA回路により、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流に等しい補償電流を生成し、この補償電流によりトランジスタ1及び2のゲート・ドレイン間の容量に流れる電流がキャンセルさせることで、低電源電圧で動作する、高利得、広帯域の、CMOS構成の差動増幅器を実現することができる。

【0056】このような差動回路は、例えば、ハードデ

16

ィスクドライブにおいて、ヘッドからの再生信号をデジタル化する際のA/Dコンバータにおけるコンパレータのように、高速動作が要求される回路に用いて好適である。

【0057】図4は、このような高速処理を実現するためのA/Dコンバータの一例である。図4において、電源電圧 V_{RT} の電源端子42と電源電圧 V_{RB} の電源端子43との間に、抵抗41A~41Hの縦続接続が設けられる。抵抗41A~41Hの段間から、リファレンス電圧 $V_{R1} \sim V_{R7}$ が形成される。抵抗41A~41Hの抵抗値は量子化ステップに応じたものであり、リファレンス電圧 V_{R1} 、 V_{R2} 、 V_{R3} 、…により、A/D変換の量子化ステップが決定される。

【0058】抵抗41A~41Hの段間のリファレンス電圧 $V_{R1} \sim V_{R7}$ は、コンパレータ45A~45Gに夫々供給される。コンパレータ45A~45Gの他方の入力端子には、入力端子44から、入力電圧 V_{in} が供給される。コンパレータ45A~45Gで、リファレンス電圧 $V_{R1} \sim V_{R7}$ と、入力電圧 V_{in} とが比較される。

【0059】コンパレータ45A~45Gの出力がラッチ46A~46Gに夫々供給される。ラッチ46A~46Gで、コンパレータ45A~45Gの出力がラッチされる。ラッチ46A~46Gの出力は、デコーダ48に供給される。

【0060】デコーダ48は、ラッチ46A~46Gの出力が供給されるEX-ORゲート47A~47Hと、出力値に応じて結線されたビットラインB0、B1、B2を有している。

【0061】EX-ORゲート47Aの一方の入力端子には「L」レベルが供給される。ラッチ回路46Aの出力は、EX-ORゲート47A及び47Bに供給される。ラッチ回路46Bの出力は、EX-ORゲート47B及び47Cに供給される。ラッチ回路46Cの出力は、EX-ORゲート47C及び47Dに供給される。ラッチ回路46Dの出力は、EX-ORゲート47D及び47Eに供給される。ラッチ回路46Eの出力は、EX-ORゲート47E及び47Fに供給される。ラッチ回路46Fの出力は、EX-ORゲート47F及び47Gに供給される。ラッチ回路46Gの出力は、EX-ORゲート47G及び47Hに供給される。EX-ORゲート47Hの他方の入力端子には、「H」レベルが供給される。

【0062】EX-ORゲート47A~47Hの出力は、出力データに応じて、ビットラインB0~B2に結線される。

【0063】すなわち、EX-ORゲート47Aの出力は何れのビットラインにも接続されていない。EX-ORゲート47Bの出力は、ビットラインB0に接続される。EX-ORゲート47Cの出力は、ビットラインB1に接続される。EX-ORゲート47Dの出力は、ビ

(10)

17

ットラインB1及びB0に接続される。EX-ORゲート47Eの出力は、ビットラインB2に接続される。EX-ORゲート47Fの出力は、ビットラインB2及びB0に接続される。EX-ORゲート47Gの出力は、ビットラインB2及びB1に接続される。EX-ORゲート47Hの出力は、ビットラインB2、B1、及びB0に接続される。

【0064】これにより、デコーダ48の出力から、入力電圧 V_{in} のアナログレベルに応じたデジタルデータを得ることができる。

【0065】例えば、入力電圧 V_{in} がリファレンス電圧 V_{R4} とリファレンス電圧 V_{R5} との間のレベルであるとする、リファレンス電圧 V_{R4} より低いリファレンス電圧と入力電圧 V_{in} とを比較しているコンパレータ45A、45B、45C、45Dの出力は「H」レベルになり、リファレンス電圧 V_{R5} より高いリファレンス電圧と入力電圧 V_{in} とを比較しているコンパレータ45E、45F、45Gの出力が「L」レベルとなる。コンパレータ45A、45B、45C、…、45Gの出力がラッチ46A、46B、46C、…、46Gに供給され、ラッチ回路46A、46B、46C、…、46Gの出力がEX-ORゲート47A、47B、47C、…、47Hに供給される。

【0066】この場合には、リファレンス電圧 V_{R4} より低いリファレンス電圧と入力電圧 V_{in} とを比較しているコンパレータ45A、45B、45C、45Dの出力は「H」レベルになり、リファレンス電圧 V_{R5} より高いリファレンス電圧と入力電圧 V_{in} とを比較しているコンパレータ45E、45F、45Gの出力が「L」レベルとなるので、EX-ORゲート47Eの出力のみが「H」レベルとなり、他のEX-ORゲートの出力は「L」レベルとなる。EX-ORゲート47Eの出力が「H」レベルなので、デコーダ48の出力は「100」となる。

【0067】3. コンパレータの一例

上述のA/Dコンバータにおけるコンパレータ45A～45Gとしては、チョッパ型のコンパレータが用いられる。

【0068】図5は、チョッパ型のコンパレータの基本動作を説明するものである。図5に示すように、リファレンス電圧 V_{Ref} の入力端子51とコンデンサ53の一端との間にスイッチ回路54が設けられる。入力電圧 V_{in} の入力端子52とコンデンサ53の一端との間にスイッチ回路55が設けられる。コンデンサ53の他端が増幅器57の入力端子に接続される。増幅器57の入力端子と反転出力端子との間に、スイッチ回路56が設けられる。この増幅器57の出力端子58がラッチ59に接続される。ラッチ回路59の出力が出力端子60から出力される。

【0069】チョッパ型のコンパレータでは、オートゼ

18

ロモードと、アンプモードとが繰り返される。オートゼロモードは、図5Aに示すように、スイッチ回路56がオンされる。このため、負帰還がかかり、ノードN1はゼロレベルとなり、オフセットがキャンセルされる。したがって、この間に、スイッチ回路55をオンすると、入力端子52からの入力電圧 V_{in} が入力され、コンデンサ53には、入力電圧 V_{in} が蓄積される。

【0070】アンプモードでは、図5Bに示すように、スイッチ回路56がオフされる。このとき、増幅器57に対して入力があると、この入力は増幅器57で増幅されて出力される。図5Aに示したように、オートゼロモードの間に、コンデンサ53に入力電圧 V_{in} が蓄積されているので、アンプモードの間にスイッチ回路54をオンすると、コンデンサ53に蓄積されていた入力電圧 V_{in} と入力端子51からのリファレンス電圧 V_{Ref} との差電圧が増幅器57で増幅される。ここで、ラッチ回路59にラッチクロック CK_LAT が与えられると、この入力電圧 V_{in} とリファレンス電圧 V_{Ref} との差電圧がラッチ回路59にラッチされる。

【0071】図6は、このようなチョッパ型のコンパレータの動作を示すタイミング図である。この例は、入力電圧 V_{in} でオートゼロ動作を行なうものであり、図5に示すように、スイッチ回路54にはクロック $CK1$ が供給され、スイッチ回路55には、クロック $CK2$ が供給される。スイッチ回路56には、オートゼロクロック CK_AZ が供給され、ラッチ回路59にはラッチクロック CK_LAT が供給される。

【0072】入力電圧 V_{in} でオートゼロ動作を行なうため、図6B及び図6Cに示すように、スイッチ回路55をオン/オフするクロック $CK2$ と、オートゼロ動作を行うためにスイッチ回路56をオン/オフするクロック CK_AZ は同相となる。アンプモードでリファレンス電圧を入力するために、図6Aに示すように、クロック $CK1$ は、クロック $CK1$ 及び CK_AZ と逆相となる。そして、図6Dに示すように、アンプモードで増幅器57から出力電圧が確定するタイミングで、ラッチクロック CK_LAT がローレベルになり、そのときの増幅器57の出力がラッチ59にラッチされる。

【0073】ここで、リファレンス電圧 V_{Ref} に対して入力電圧 V_{in} が図6Gに示すように変化しているとする。

【0074】クロック CK_AZ (図6C) がハイレベルとなる時間 t_1 、 t_3 、 t_5 、…でオートゼロ動作が行われ、図6Eに示すように、増幅器57の出力のノードN1のレベル v_{ob} が「0」レベルになる。この間、入力端子52からの入力電圧 V_{in} がコンデンサ53に蓄積される。

【0075】クロック CK_AZ がローレベルとなる時間 t_2 、 t_4 、 t_6 、…でアンプモードとなり、図6Eに示すように、増幅器57の出力のノードN1のレベル

(11)

19

v_{ob} は、リファレンス電圧 V_{re} と入力電圧 V_{in} との差電圧となる。この増幅器57の出力のノードN1のレベル v_{ob} は、ラッチクロック CK_LAT がローレベルになるタイミングでラッチ59に取り込まれ、ラッチ59からは、図6Fに示す出力 V_{cpo} が取り出される。

【0076】このようなコンパレータを構成するための増幅器57として、図1に示した差動増幅器を用いることができる。

【0077】図7は、図1に示した差動増幅器を用いて、上述のようなチョッパ型のコンパレータを構成した例である。図7に示すように、正相のリファレンス電圧 V_{ref} の入力端子71とコンデンサ73の一端との間にスイッチ回路74が設けられる。正相の入力電圧 V_{in} の入力端子72とコンデンサ73の一端との間にスイッチ回路75が設けられる。コンデンサ73の他端がNMOSトランジスタ1のゲートに接続される。NMOSトランジスタ1のゲートとドレインとの間に、スイッチ回路76が設けられる。

【0078】逆相のリファレンス電圧 $-V_{ref}$ の入力端子81とコンデンサ83の一端との間にスイッチ回路84が設けられる。逆相の入力電圧 $-V_{in}$ の入力端子82とコンデンサ83の一端との間にスイッチ回路85が設けられる。コンデンサ83の他端がNMOSトランジスタ2のゲートに接続される。NMOSトランジスタ2のゲートとドレインとの間に、スイッチ回路86が設けられる。

【0079】オートゼロモードでは、スイッチ回路76及び86がオンされる。そして、スイッチ回路75及び85がオンされる。これにより、オートゼロ動作が行われ、コンデンサ73及び83には、入力端子72及び72からの正相及び逆相の入力電圧 V_{in} 及び $-V_{in}$ に基づく電圧が蓄えられる。

【0080】アンプモードでは、スイッチ回路76及び86がオフされる。そしてスイッチ回路74及び84がオンされる。これにより、コンデンサ73及び83に蓄積されている正相及び逆相の入力電圧 V_{in} 及び $-V_{in}$ と、入力端子71及び81からの正相及び逆相のリファレンス電圧 V_{ref} 及び $-V_{ref}$ との差電圧が増幅されて、出力端子14及び15から出力される。

【0081】4. コンパレータの第2の例
上述のコンパレータの例では、入力電圧でオートゼロを行ってから、アンプモードに設定して、入力電圧とリファレンス電圧との差電圧を増幅している。この場合には、1クロック毎にオートゼロ動作が行われているため、精度が良くなるという利点がある。

【0082】ところが、オートゼロモードとアンプモードとを高速で切り換えるのは困難である。また、オートゼロモードとアンプモードとを切り換えるときに、キックバックノイズが発生することがある。

【0083】そこで、図8に示すように、リファレンス

20

電圧でオートゼロ動作を行ってから、アンプモードに設定して、入力電圧とリファレンス電圧との差電圧を増幅する構成として、毎回、オートゼロ動作を行わないようにすることが考えられる。

【0084】つまり、図5の例では、オートゼロモードでは、入力電圧 V_{in} を入力してコンデンサ53に蓄積したが、図8の例では、オートゼロモードでは、リファレンス電圧 V_{ref} の方を入力してコンデンサ93に蓄積する。

【0085】この場合、オートゼロモードは、図8Aに示すように、スイッチ回路96がオンされる。このため、負帰還がかかり、ノードN2はゼロレベルとなる。この間に、スイッチ回路94がオンされ、入力端子91からのリファレンス電圧 V_{ref} が入力され、コンデンサ93には、リファレンス電圧 V_{ref} が蓄積される。

【0086】アンプモードでは、図8Bに示すように、スイッチ回路96がオフされる。そして、スイッチ回路95がオンされ、入力端子92からの入力電圧 V_{in} が入力される。図9Aに示すように、オートゼロモードの間に、コンデンサ53にリファレンス電圧 V_{ref} が蓄積されているので、アンプモードの間にスイッチ回路95をオンすると、コンデンサ93に蓄積されていたリファレンス電圧 V_{ref} と、入力端子92からの入力電圧 V_{in} との差電圧が増幅器97で増幅されて、出力される。

【0087】ここで、オートゼロモードのときに蓄積したリファレンス電圧 V_{ref} に対応するコンデンサ93の電荷は、暫く保存されている。このため、1クロック毎にオートゼロを行う必要はない。アンプモードのままにしておくと、増幅器97からは、リファレンス電圧 V_{ref} と入力電圧 V_{in} との差電圧が連続して出力され続けることになり、毎回、オートゼロ動作を行なう必要がなくなる。

【0088】図9は、このようにオートゼロ動作でリファレンス電圧を入力するようにした場合の動作を説明するものである。

【0089】図8に示すように、スイッチ回路94にはクロック $CK1$ が供給され、スイッチ回路95には、クロック $CK2$ が供給される。スイッチ回路96には、オートゼロクロック CK_AZ が供給され、ラッチ回路99にはラッチクロック CK_LAT が供給される。

【0090】リファレンス電圧 V_{ref} でオートゼロ動作を行なうため、図9A及び図9Cに示すように、スイッチ回路94をオン/オフするクロック $CK1$ と、オートゼロ動作を行うためにスイッチ回路96をオン/オフするクロック CK_AZ は同相となる。アンプモードで入力電圧 V_{in} を入力するため、図9Bに示すように、クロック $CK2$ は、クロック $CK1$ 及び CK_AZ と逆相となる。そして、図9Dに示すラッチクロック CK_LAT がローレベルになるときに、増幅器97の出力がラッチ99にラッチされる。

(12)

21

【0091】ここで、リファレンス電圧 V_{ref} に対して入力電圧 V_{in} が図9Gに示すように変化しているとする。

【0092】クロック CK_AZ がハイレベルとなる時間 t_{11} でオートゼロ動作が行われ、図9Eに示すように、増幅器97の出力のノードN2のレベル v_{ob} が

「0」レベルになり、この間、入力端子91からのリファレンス電圧 V_{ref} がコンデンサ93に蓄積される。クロック CK_AZ がローレベルとなる時間 t_{12} でアンプモードとなり、図9Eに示すように、増幅器97の出力のノードN2のレベル v_{ob} は、リファレンス電圧 V_{ref} と入力電圧 V_{in} との差電圧となる。この増幅器97の出力のノードN2のレベル v_{ob} は、ラッチクロック CK_LAT がローレベルになるタイミングでラッチ99に取り込まれ、ラッチ99からは、図9Fに示す出力 V_{ref} が取り出される。

【0093】このように、この例では、オートゼロモードの間に、リファレンス電圧 V_{ref} を入力し、このリファレンス電圧 V_{ref} をコンデンサ93に蓄積し、アンプモードで、コンデンサ93に蓄積されているリファレンス電圧 V_{ref} と入力端子92からの入力電圧 V_{in} との差電圧を増幅器97で増幅するようにして、クロック毎に毎回オートゼロ動作を行う必要をなくしている。

【0094】このようなコンパレータを構成するための増幅器97として、図1に示した差動増幅器を用いることができる。図10は、図1に示した差動増幅器を用いて、上述のようなチョッパ型のコンパレータを構成した例である。

【0095】なお、オートゼロモードをクロック毎に毎回行わないとすると、入力電圧がクロック毎にホールドされていないので、サンプルホールド機能が失われる。そこで、図10に示す例では、増幅器の出力側に、トラックホールド回路101を設けるようにしている。

【0096】すなわち、NMOSトランジスタ9のソースと出力端子14との間に、スイッチ回路102が設けられると共に、出力端子14と接地ライン4との間に、コンデンサ103が設けられる。NMOSトランジスタ10のソースと出力端子15との間に、スイッチ回路104が設けられると共に、出力端子15と接地ライン4との間に、コンデンサ105が設けられる。

【0097】スイッチ回路102及び104は、クロック毎に、オンされる。スイッチ回路102及び104がオンされると、ソースフォロワトランジスタ9及び10のソースからの出力がコンデンサ103及び105にホールドされる。

【0098】このようなトラックホールド回路101により、増幅器出力がクロック毎に確定するため、ラッチの動作が安定する。

【0099】なお、トラックホールド回路101を設ける以外の構成については、図7に示した例と同様であ

22

る。

【0100】また、このコンパレータの出力を並列処理できるように、図11に示すように、複数の（この例では2つの）ソースフォロワ回路を設け、各ソースフォロワ回路に対して、トラックホールド回路101A、101Bを設けるようにしても良い。

【0101】つまり、このように高速のサンプリングクロックでデジタル化を行うと、次段の回路では、高速のデジタルデータの処理を行うために、高速処理が必要になってくる。

【0102】そこで、図11に示すように、複数のソースフォロワ回路を設け、各ソースフォロワ回路に対して、トラックホールド回路101A、101Bを設け、各トランジスタホールド回路101A、101Bに、サンプリングクロックの1/2の周波数で、互いに位相の異なるクロックを供給する。このようにすると、次段の回路では、インターリーブ処理により、1/2の速度で動作が可能となる。

【0103】5. 応用例

このように、NMOSトランジスタ1及び2からなる差動対と、出力バッファ回路を構成するNMOSフォロワトランジスタ9及び10との間に、NMOSトランジスタ16及び17、コンデンサ18、電流源19、20、21、22からなるOTA回路を設け、このOTA回路により、トランジスタ1及び2のゲート・ドレイン間の容量 C_{GD} に流れる電流に等しく、その方向が反対となる補償電流を生成し、この補償電流によりトランジスタ1及び2のゲート・ドレイン間の容量に流れる電流がキャンセルさせることで、低電源電圧で動作する、高利得、広帯域の、CMOS構成の差動増幅器を実現することができる。

【0104】このような差動増幅器を使った例として、コンパレータ及びこのようなコンパレータを使ったA/Dコンバータについて説明したが、このような差動増幅器は、それ以外に、種々の用途に利用できるであろう。例えば、衛星放送や無線LANのように、高周波を扱う回路にも利用可能であろう。

【0105】また、上述の例では、CMOS構成としているが、この発明は、バイポーラトランジスタを用いるようにしても良い。バイポーラトランジスタとした場合にも、低電源電圧で動作する、高利得、広帯域の差動増幅器は、有用であると考えられる。

【0106】

【発明の効果】この発明によれば、NMOSトランジスタからなる差動対と、出力バッファ回路を構成するNMOSフォロワトランジスタとの間にOTA回路を設け、このOTA回路により、差動対のトランジスタのゲート・ドレイン間の容量に流れる電流に等しく、その方向が反対となる補償電流を生成し、この補償電流により差動対のトランジスタのゲート・ドレイン間の容量に流れる

(13)

23

電流がキャンセルさせることで、低電源電圧で動作し、精度が高く、高利得、広帯域の差動増幅器を実現することができる。

【0107】また、この発明によれば、このような高利得、広帯域の差動増幅器を用いて、高速動作が可能なコンパレータ、及びこのコンパレータを使ったA/Dコンバータを実現することができる。

【図面の簡単な説明】

【図1】この発明が適用された差動増幅器の一例の接続図である。

【図2】この発明が適用された差動増幅器の一例の説明に用いる接続図である。

【図3】この発明が適用された差動増幅器の一例の説明に用いる接続図である。

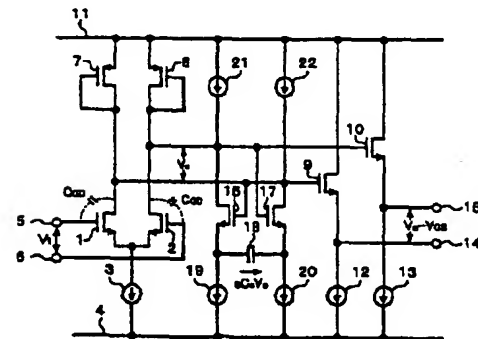
【図4】この発明が適用されたA/Dコンバータの一例の接続図である。

【図5】この発明が適用されたコンパレータの一例のブロックである。

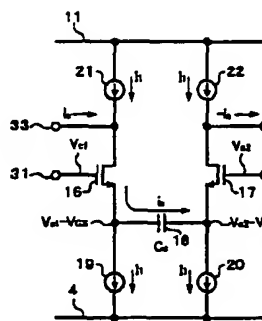
【図6】この発明が適用されたコンパレータの一例の説明に用いるタイミングチャートである。

【図7】この発明が適用されたコンパレータの一例の接続図である。

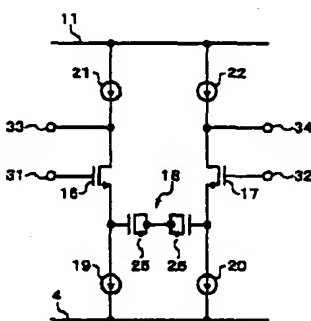
【図1】



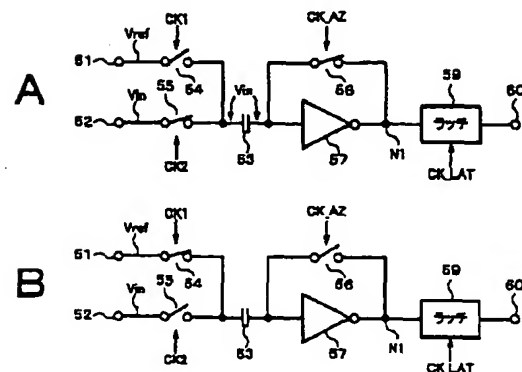
【図2】



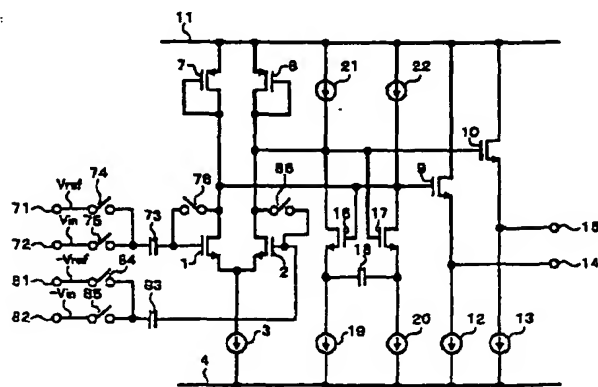
【図3】



【図5】



【図7】



24

【図8】この発明が適用されたコンパレータの他の例のブロックである。

【図9】この発明が適用されたコンパレータの他の例の説明に用いるタイミングチャートである。

【図10】この発明が適用されたコンパレータの他の例の接続図である。

【図11】この発明が適用されたコンパレータの更に他の例の接続図である。

【図12】従来のコンパレータの説明に用いる等価回路図である。

【図13】従来のコンパレータの説明に用いる等価回路図である。

【図14】従来のコンパレータの説明の一例の接続図である。

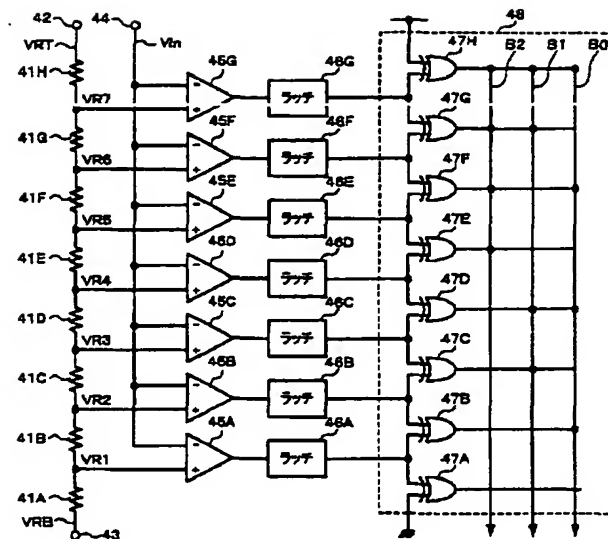
【図15】従来のコンパレータの説明の一例の説明に用いる接続図である。

【符号の説明】

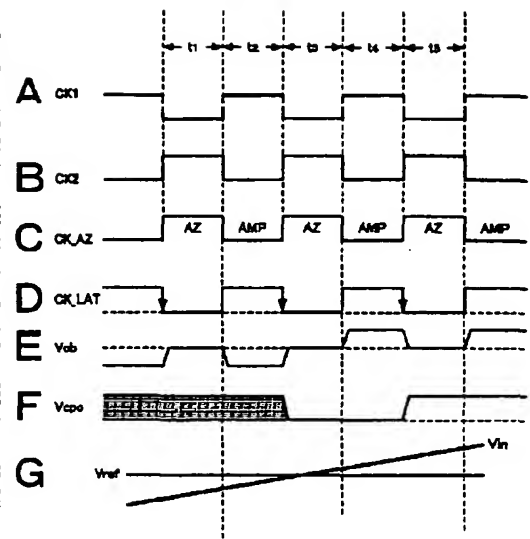
1, 2・・・差動対を構成するNMOSトランジスタ,
9, 10・・・ソースフォロを構成するNMOSトランジスタ, 16, 17・・・OTA回路を構成するNMOSトランジスタ, 18・・・コンデンサ, 19, 20, 21, 22・・・OTA回路を構成する電流源

(14)

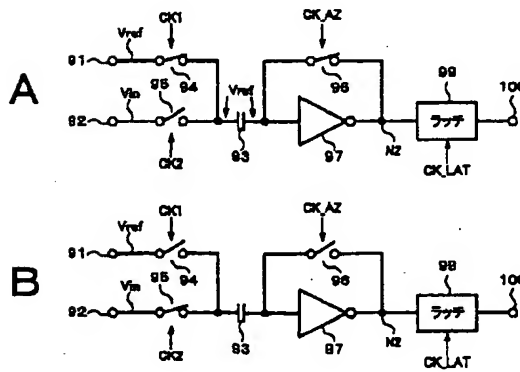
【図4】



【図6】

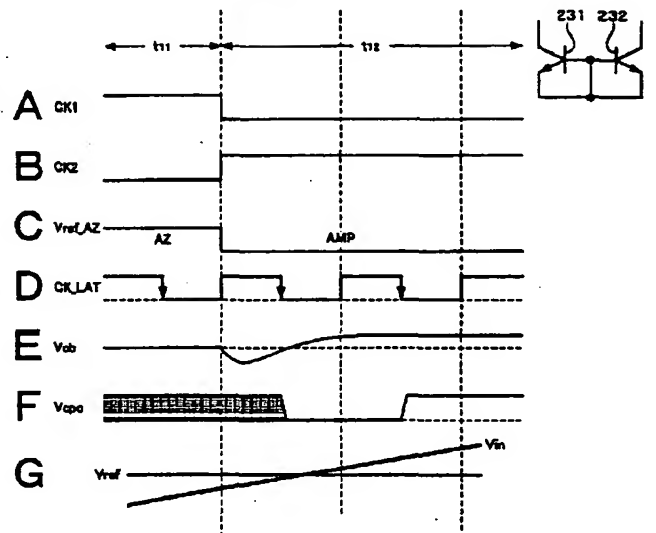


【図8】



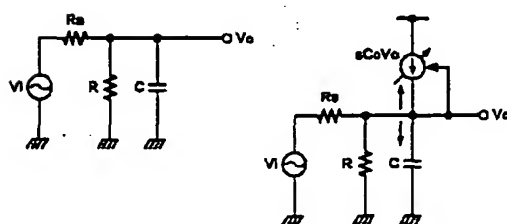
【図9】

【図15】



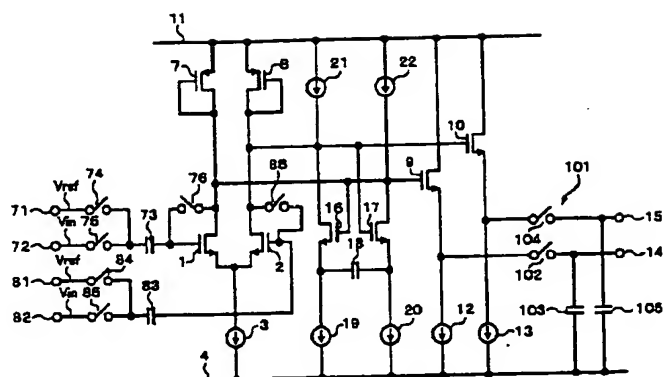
【図12】

【図13】

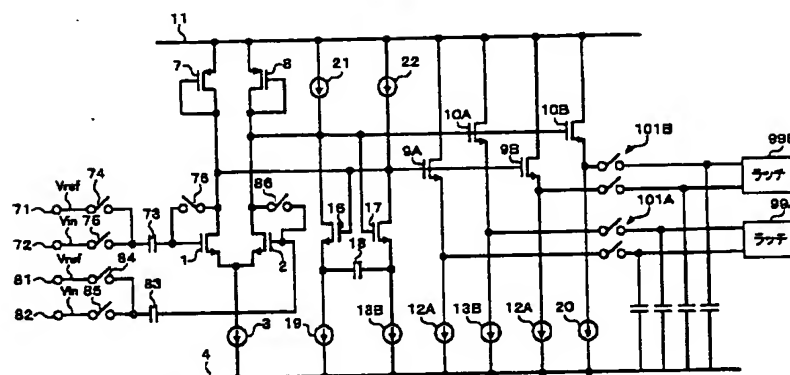


(15)

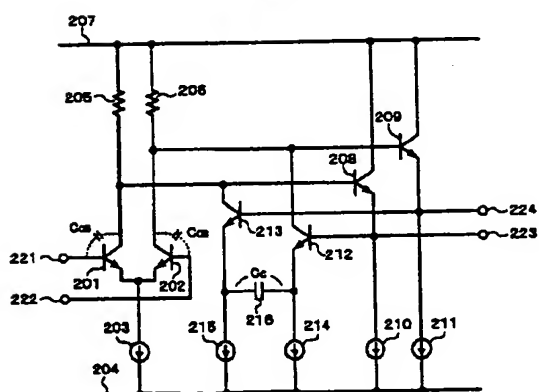
【図10】



【図11】



【図14】



(16)

フロントページの続き

Fターム(参考) 5J022 AA06 BA01 BA05 BA06 BA08
CB01 CD03 CD04 CE08 CF01
CF02

5J039 DD03 KK04 KK11 KK16 KK18
KK28 KK31 MM03 MM04 NN03

5J066 AA01 AA12 CA35 CA37 CA62
CA65 CA88 FA04 HA10 HA17
HA29 HA31 HA38 KA00 KA01
KA03 KA05 KA07 KA17 KA18
KA19 KA33 KA56 MA01 MA02
MA13 MA21 ND01 ND12 ND22
ND23 PD02 SA00 TA01 TA06

5J091 AA01 AA12 CA35 CA37 CA62
CA65 CA88 FA04 HA10 HA17
HA29 HA31 HA38 KA00 KA01
KA03 KA05 KA07 KA17 KA18
KA19 KA33 KA56 MA01 MA02
MA13 MA21 SA00 TA01 TA06